

一种适用于 FPGA 的可配置、兼容多标准 差分驱动器电路

文 艺¹, 张 健²

(1 电子科技大学 自动化工程学院, 四川 成都 611731; 2 北京微电子技术研究所, 北京 100076)

摘 要: 提出了一种适用于 FPGA 器件, 且可配置、兼容多种差分标准的驱动器电路设计, 通过灵活的可配置电路结构和精确的驱动电流控制电路, 实现了 LVDS25、LVDS33、LVDS25-EXT、LVDS33-EXT、LDT25 等 5 种主流差分标准的驱动器, 这已成功应用于多款 FPGA 芯片设计中。

关键词: FPGA; 可配置; 兼容多标准; 差分驱动器

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2015)12-0169-04

A Kind of Configurable Differential Driver Circuit with a Compatililty of Multi-Stand Applying to FPGA

WEN Yi¹, ZHANG Jian²(1 School of Automation Engineering, University of Electronic Science and Technology,
Chengdu 611731, China; 2 Beijing Microelectronics Technology Institute, Beijing 100076, China)

Abstract: This paper presents a configurable differential driver design which is suitable for FPGA devices and is configurable, compatible with multi standards. Based on the flexible structure of configurable circuit and the precisely controlled driving current circuit, the proposed differential driver is compatible with five widely used I/O standards, including LVDS25, LVDS33, LVDS25-EXT, LVDS33-EXT and LDT25. This design has been successfully applied to multiple FPGA chips.

Key words: FPGA; configurable; multi standard compatible; differential driver

1 引言

随着通信技术和半导体技术的快速进步, 不同电子设备或电子系统之间的数据传输量呈现爆炸式增长. 传统的片外数据传输通过大量的并行总线实现, 这样的传输方式仅适合短距离、低速度的传输. 对于高速数据传输, 像数据量较大的视频传输, 低速的并行接口不再适用. 在此背景下, 各种不同的串行 IO 接口标准^[1]不断被提出, 它们均以差分接口作为 PHY(物理层), 如图 1 所示, 像 LVDS、CML、LDT 等. 差分接口以高传输速率、低功耗、低电磁干扰、抗噪声能力强等优点, 在现代通信系统中获得了广泛应用. 这些 IO 接口标准在缓解数据通讯压力的同

时, 也带来了各种接口互连困难、通用性下降等问题. FPGA 作为一种通用芯片, 为了扩展其应用领域, 方便用户设计, 其 IO 接口往往需要兼容多种差分标准^[2].

2 电路设计

本文基于 FPGA 的可配置设计思想, 提出了一种适用于 FPGA 器件, 且可配置、兼容多种差分标准的驱动器电路设计. 通过设计灵活的可配置电路结构和精确的驱动电流控制电路, 使所设计驱动器能满足 LVDS25、LVDS33、LVDS25-EXT、LVDS33-EXT、LDT25 等 5 种主流差分标准的规范所要求的参数指标.

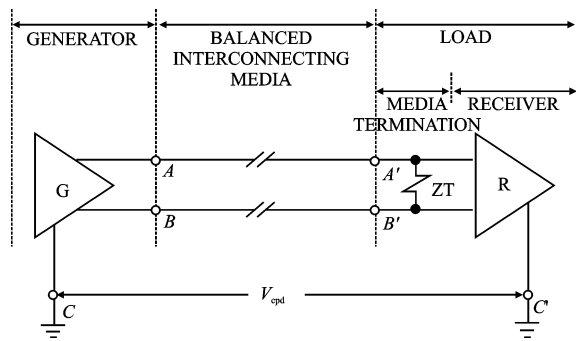


图 1 差分传输系统示意图^[3]

表 1 列出了 LVDS25、LVDS33、LVDS25-EXT、LVDS33-EXT、LDT25 这 5 种主流差分标准的规范^[3-4]要求的主要参数指标,其中输出共模电平 VOCM 等于输出高电平 VOH 和输出低电平 VOL 二者的平均值,输出差模电压 VOD 等于 VOH 和 VOL 二者的差值,如图 2 所示.规范中还有其他参数要求,例如 ΔVOCM 反映了在数据传输过程中 VOCM 的波动,该参数的大小考验驱动器电路的对称性设计水平以及制造和工艺偏差.

表 1 5 种差分标准的主要参数指标

差分标准	主要参数指标	
	输出共模电平 (VOCM)	输出差模电压 (VOD)
LVDS25	1.125~1.375	250~450 mV
LVDS33	Typ:1.25	Typ:350 mV
LVDS25-EXT	1.125~1.375	440~820 mV
LVDS33-EXT	Typ:1.25	Typ:N/R
LDT25	495~715 mV Typ:600 mV	495~715 mV Typ:600 mV

图 2 差分信号传输示意图

为了在一个驱动器中兼容这 5 种差分标准要求的主要参数指标,本文通过对比分析这些参数之间的差异和相同点,采用可配置结构的设计思想,设计了图 3 所示的可配置差分驱动器电路.下面分别介绍各个模块的电路结构和工作原理.

BLOCK1(图 4)为配置数据(CBIT_x)的译码模块,IOBT 为来自 FPGA 内部的驱动器三态使能信号,CBIT_x 来自 FPGA 内部的配置 SRAM 单元,这些单元在配置过程中会根据用户设计生成的配置码流被写入相应的数值,CBIT_x 通过译码产生 C1~

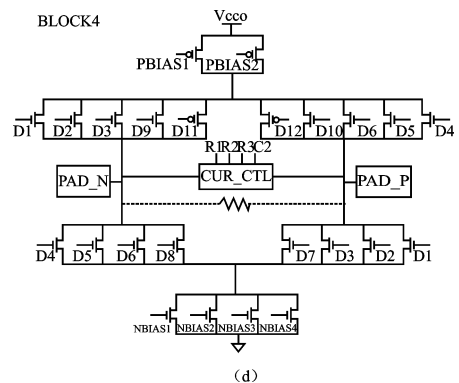
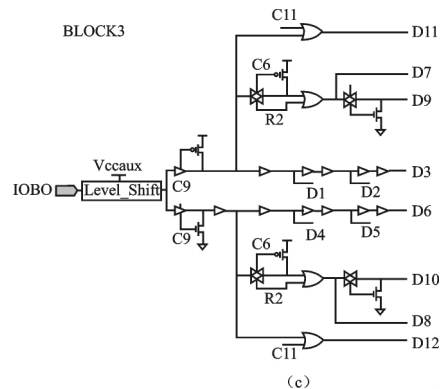
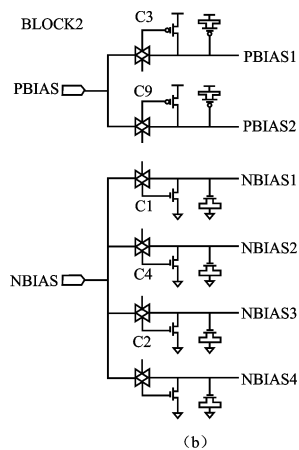
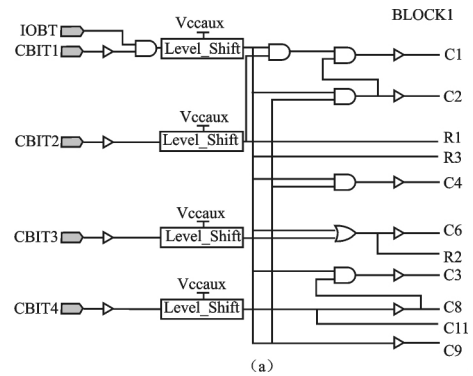


图 3 差分驱动器整体电路图

C11/R1~R3 等控制信号,用来控制其他模块的行为。

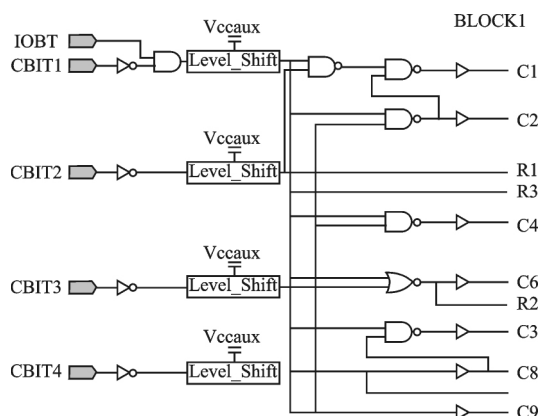


图4 BLOCK1 电路图

BLOCK2(图5)为偏置电压选择模块,PBIAS/NBIAS为来自FPGA内部生成的偏置电压,PBIAS_x ($x = 1/2$)/NBIAS_x ($x = 1 \sim 4$) 分别控制BLOCK4中的上拉和下拉电流源,根据BLOCK1产生的不同控制信号,在BLOCK2中会打开不同数量的PBAIS_x/NBIAS_x 传输通道,用以控制上拉和下拉电流的大小,实现精确的驱动电流控制。

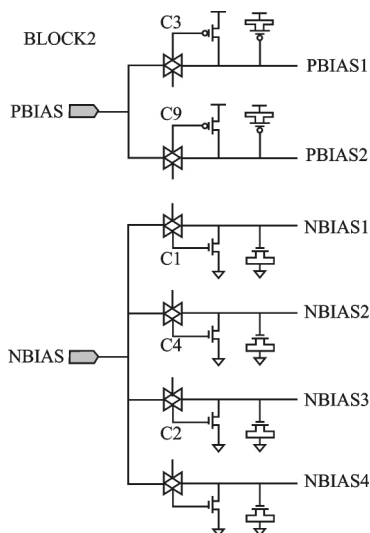


图5 BLOCK2 电路图

BLOCK3(图6)为输出数据控制模块,IOBO信号为来自FPGA内部的输出数据信号,该模块根据BLOCK1产生的不同控制信号,进一步生成D1~D11等数据控制信号,用来控制BLOCK4,本文在设计时对D1~D3和D4~D6信号采用了延时考虑,是为了减小驱动器开启时的电压过冲,有利于保持信号完整性^[5]。

BLOCK4(图7)为差分驱动器的核心模块,在

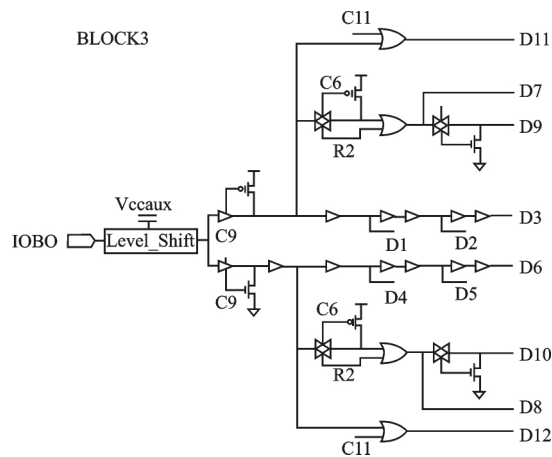


图6 BLOCK3 电路图

其他模块的控制下,该模块完成单端信号到差分信号的转换,并实现不同差分标准所要求的VOCM和VOD参数指标。BLOCK4中的器件尺寸直接决定了VOCM和VOD参数,在电路设计时,作者根据不同标准的参数要求对这些器件尺寸进行了严格的推算^[6-7],详细过程在此省略。D1~D12所控制的器件,会根据IOBO的数值开启或关闭,在PAD_P和PAD_N之间形成电流通道,该电流流过外部的100Ω端接电阻(R_{100}),可形成具有一定摆幅的差分输出信号;CUR_CTL模块与 R_{100} 形成并联关系,可调节流过 R_{100} 的电流大小,实现精确控制电流的目的。D1~D6控制的器件在5种差分标准下均处于开启/关闭状态(依据IOBO数值,D4~D6与D1~D3的极性相反),D7~D12控制的器件在某些标准下会一直处于关闭状态。通过控制D7~D12,可准确控制差分输出信号的共模电平VOCM。

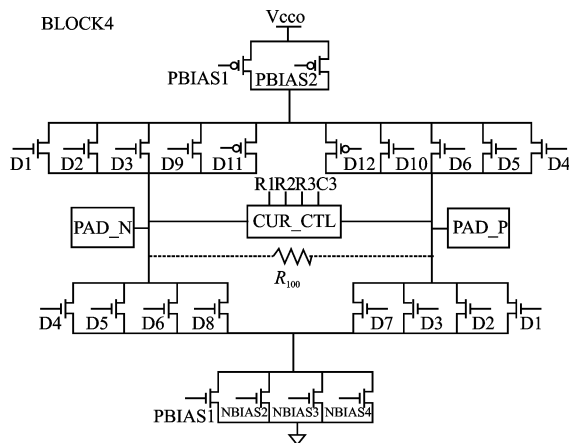


图7 BLOCK4 电路图

表2所示为选择不同差分标准时对应的CBIT_x数值以及BLOCK4中的器件开启或关闭状态列表。

表 2 不同标准对应的 CBIT_x 和器件状态列表

	LVDS25	LVDS33	LVDS25-EXT	LVDS33-EXT	LDT25
CBIT1~4	1000	1100	1010	1101	1001
PBIAS1					
PBIAS2					X
NBIAS1	X		X		
NBIAS2	X	X			
NBIAS3	X	X	X		
NBIAS4					X
D1~D6					
D7~D8	X	X			
D9~D10	X	X			X
D11~D12					X

注:X代表器件关闭;反之代表器件开启

3 版图设计

因差分驱动器对驱动器件的对称性要求较高,版图设计时重点对核心器件采取了严格的对称布置.图 8 所示为采用中芯国际 0.13 μm CMOS 工艺所设计的差分驱动器版图,面积为 121 μm×166 μm.

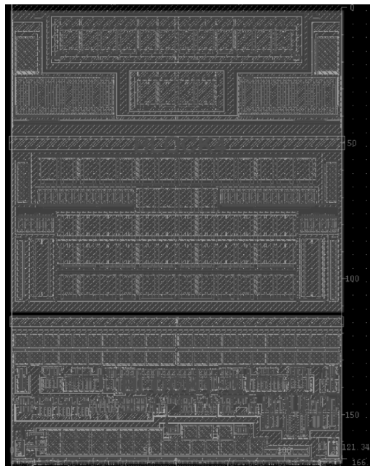


图 8 差分驱动器的版图

4 仿真结果

图 9 所示为 5 种差分标准的 HSPICE 仿真波形,自上至下依次显示了 LVDS25、LVDS33、LVDS25-EXT、LVDS33-EXT、LDT25 的 VOH 和 VOL.表 3 所示为根据 VOH 和 VOL 换算得到的 VOCM 和 VOD.可以看出,VOCM 和 VOD 均在 5 种差分标准所要求的参数指标范围内,表明所设计差分驱动器能同时兼容这 5 种差分标准,达到了设计目的.

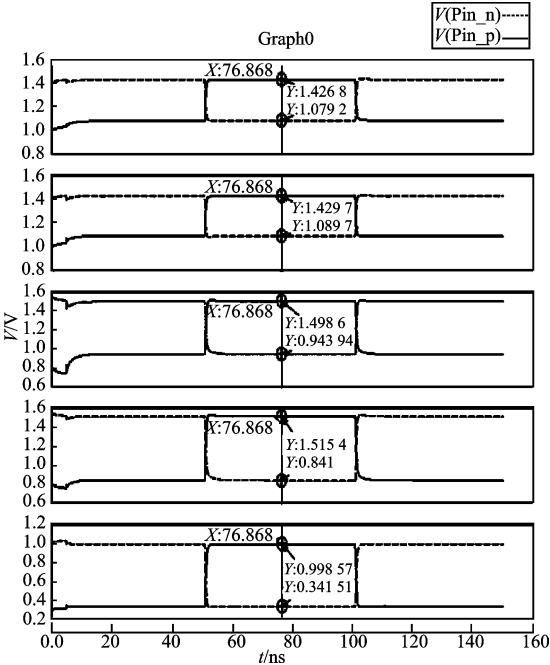


图 9 5 种差分标准的仿真波形

表 3 5 种差分标准的仿真结果

差分标准	主要参数指标		仿真结果	
	VOCM	VOD	VOCM	VOD
LVDS25	1.125~1.375 V	250~450 mV	1.253 V	348 mV
LVDS33	Typ:1.25 V	Typ:350 mV	1.260 V	340 mV
LVDS25-EXT	1.125~1.375 V	440~820 mV	1.221 V	555 mV
LVDS33-EXT	Typ:1.25 V	Typ:N/R	1.178 V	674 mV
LDT25	495~715 mV Typ:600 mV	495~715 mV Typ:600mV	670 mV	657 mV

5 结束语

本文提出了一种适用于 FPGA 器件,且可配置、兼容多种差分标准的驱动器电路设计,通过灵活的可配置电路结构和精确的驱动电流控制电路,本设计可实现 LVDS25、LVDS33、LVDS25-EXT、LVDS33-EXT、LDT25 等 5 种主流差分标准的驱动器,已成功应用于多款 FPGA 电路设计中.

参考文献:

[1] 郑清贤. 新型数字逻辑标准及接口技术[J]. 今日电子, 2004,12(10):88-90

[2] Fox B, Andress-Papaliolios, Steven P Winegarden, et al. Input/Output Circuit With User Programmable Functions. United States Patent, US 6870397B1 [P]. 2005.

(下转第 176 页)

4 实验结果

我们的另一个算法——PCOCK 算法包括两个阶段:先分割,再凝聚.在凝聚的阶段使用了我们的 COCK 算法.假如在第一阶段完全相同的情况下,在第二阶段使用其他的凝聚聚类算法,产生的结果可以用来比较我们的 COCK 算法的聚类质量.

UPGMA 被认为是在文档聚类时最有效的层次凝聚聚类算法,在我们的 PCOCK 算法的第二阶段改用 UPGMA 凝聚聚类,将得到的结果与在第二阶段使用我们的 COCK 算法凝聚聚类的结果进行比较,表 1 显示了在数据集 TR12、RE1 和 WAP 上,这两种聚类方法结果的熵、纯度和 F1 值的比较.

从表 1 可以看出,在数据集 TR12、RE1 和 WAP 上,我们的 COCK 算法聚类结果的熵、纯度和 F1 值均大幅度优于 UPGMA 算法.

表 1 COCK 算法和 UPGMA 算法聚类结果比较

数据集	聚类算法	entropy	purity	F1
TR12	UPGMA	0.312 421	0.757 188	0.749 997
	COCK	0.261 032	0.785 942	0.788 731
RE1	UPGMA	0.384 723	0.621 002	0.512 056
	COCK	0.298 744	0.692 215	0.534 534
WAP	UPGMA	0.456 47	0.537 179	0.510 819
	COCK	0.295 957	0.717 949	0.680 952

虽然 UPGMA 的速度快于我们的 COCK 算法,但 UPGMA 聚类结果的质量比我们的 COCK 算法差很多.

5 结束语

CHAMELEON 算法复杂,在简化 CHAMELEON 算法的基础上提出了一个聚类算法 COCK,比 CHAMELEON 算法运算速度快,此 COCK 算法性能好,是一种性能优良的层次凝聚聚类算法,以很

大幅度优于 UPGMA 算法,而 UPGMA 目前被认为是文档聚类时最优良的层次凝聚聚类算法^[7].

参考文献:

- [1] ZHU Ye-hang. Research on document clustering algorithms[D]. Xi'an: Northwestern Polytechnical University, 2009.
- [2] Karypis G, Han Eui-Hong, Kumar V. Chameleon: hierarchical clustering using dynamic modeling[J]. Computer, 1999, 32(8): 68-75.
- [3] Karypis G, Han Eui-Hong, Kumar V. Chameleon: a hierarchical clustering algorithm using dynamic modeling[R]. Minneapolis, USA: [s. n.], 1999.
- [4] Guha S, Rastogi R, Shim K. Rock: a robust clustering algorithm for categorical attributes[C]//Proceedings of the 15th International Conference on Data Engineering. Washington, DC, USA: IEEE Computer Society, 1999: 512-521.
- [5] Guha S, Rastogi R, Shim K. Rock: a clustering algorithm for categorical attributes[J]. Information System, 2000, 25(5): 345-366.
- [6] Fisher D H. Knowledge acquisition via incremental conceptual clustering[J]. Machine Learning, 1987, 2(2): 139-172.
- [7] Zhao Ying, Karypis G. Hierarchical clustering algorithms for document datasets[R/OL]. [2014-04-09] (2008-10-29). <http://glaros.dtc.umn.edu/gkhome/cluto/cluto/download>.

作者简介:

朱烨行 男,(1969-),博士研究生,讲师.研究方向为数据挖掘. E-mail:zhuyehang@126.com.

李艳玲 女,(1971-),博士研究生,副教授.研究方向为数据挖掘.

杨献文 男,(1967-),工程师.研究方向为数据挖掘.

(上接第 172 页)

- [3] TIA/EIA-644-A; Electrical characteristics of low voltage differential signaling (LVDS) Interface Circuits [EB/OL]. [2014-04-09]. http://www.tiaeia.org/index.php?main_page=product_info&path=1&products_id=4155.
- [4] Hyper transport technology consortium; HyperTransport I/O Link Specification Revision 3.00[S]. 2001.
- [5] EcriBgoati. 信号完整性分析[M]. 李玉山,译. 北京:电子工业出版社,2005.
- [6] Behzad Razvai. 模拟集成电路设计[M]. 曾朝阳,赵阳,

方顺,译. 北京:机械工业出版社,2005.

- [7] DAJohns, KMartin. Analog integrated circuit design [M]. New York: John Wiley & sons, 1997.

作者简介:

文艺女,(1990-),硕士研究生.研究方向为宽带时域电路设计及测试技术.

张健 男,(1985-),研究生,工程师.研究方向为 FPGA 中嵌入的模拟集成电路和高速 IO 接口设计.

E-mail:15011589626@163.com.